



(19)

(11) Publication number:

11126881 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 09291328

(51) Intl. Cl.: H01L 27/108 H01L 21/8242 H01L 21/283 H01L  
27/04 H01L 21/822 H01L 27/10 H01L 21/8247 H01L  
29/788 H01L 29/792

(22) Application date: 23.10.97

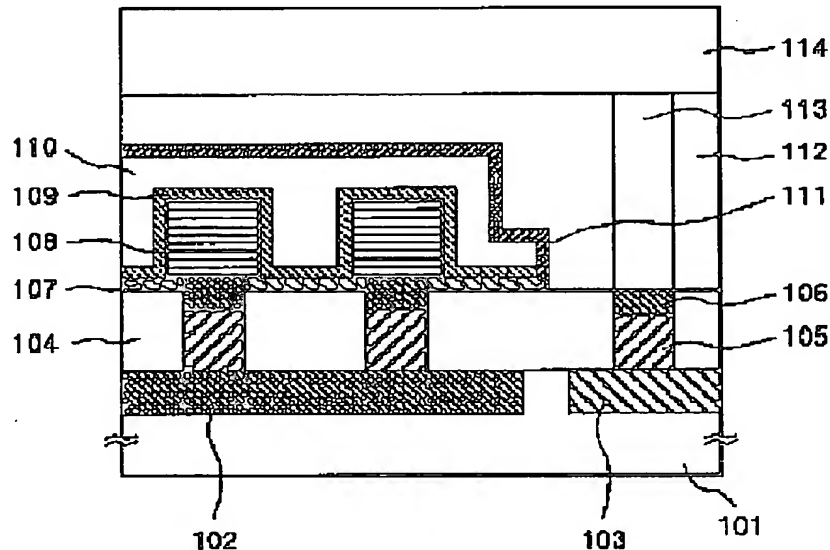
<p>(30) Priority:</p> <p>(43) Date of application publication: 11.05.99</p> <p>(84) Designated contracting states:</p>	<p>(71) Applicant: HITACHI LTD</p> <p>(72) Inventor: KUSHIDA KEIKO MIKI HIROSHI</p> <p>(74) Representative:</p>
--	---

**(54) SEMICONDUCTOR DEVICE  
HAVING HIGH FERROELECTRIC  
THIN-FILM CAPACITOR AND  
MANUFACTURE THEREOF**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To increase the capacity of a capacitor, to lessen leakage current in the capacitor and moreover, to prevent the electrical performances of semiconductor active elements from being deteriorated by a method wherein a layer having a hydrogen diffusion stopping action is arranged between the capacitor and the elements at a region arranged with the capacitor.

**SOLUTION:** A memory cell transistor 102 and a peripheral transistor 103 are respectively formed on a silicon substrate 101 as a semiconductor active element. There is an inter-layer insulating layer 104 for insulating electrically both a capacitor layer and a transistor layer from each other between the capacitor and transistor layers, and the capacitor and transistor layers are electrically connected with each other through plugs. Moreover, a hydrogen diffusion stopping layer 107, which is lower in the range of hydrogen diffusion than that of hydrogen diffusion in the layer 104 and consists of an insulator, is arranged between the layer 104 and the capacitor layer. The deterioration of a capacitor due to hydrogen which has diffused from the lateral direction of the capacitor is inhibited by the actions of a second plug 106 arranged under the lower part of the capacitor and the layer 107.



COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-126881

(43)公開日 平成11年(1999) 5月11日

(51)Int.Cl. <sup>8</sup>	識別記号	F I	
H 0 1 L 27/108		H 0 1 L 27/10	6 5 1
21/8242		21/283	C
21/283		27/10	4 5 1
27/04		27/04	C
21/822		27/10	6 2 1 B
審査請求 未請求 請求項の数16 O L (全 8 頁) 最終頁に続く			

(21)出願番号 特願平9-291328

(22)出願日 平成9年(1997)10月23日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 櫛田 恵子

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 三木 浩史

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 高橋 明夫 (外1名)

(54)【発明の名称】 高強誘電体薄膜コンデンサを有する半導体装置及びその製造方法

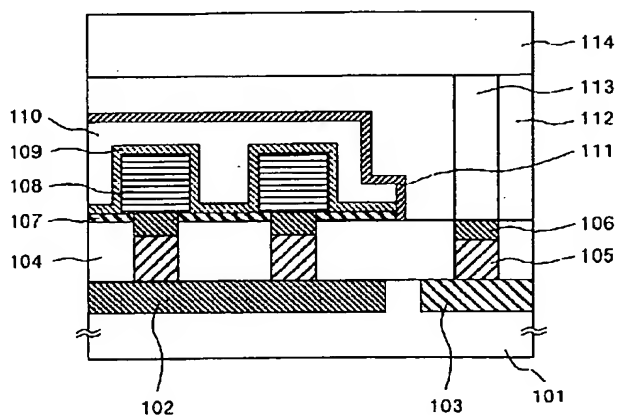
(57)【要約】

【課題】半導体能動素子の電気的性能の劣化を防止し、大容量で洩れ電流の小さいコンデンサを有する半導体を提供すること。

【解決手段】高強誘電体109を有するコンデンサが配置された領域のコンデンサとメモリセルトランジスタ102の間に水素拡散阻止層107を配置した半導体装置。

【効果】メモリセルトランジスタの特性を修復するために、水素アニールを行なうときに、コンデンサの特性の劣化がない。

図 1



102…メモリセルトランジスタ 103…周辺トランジスタ  
104…層間絶縁層 105…第1のプラグ 106…第2のプラグ  
107…水素拡散阻止層 108…下部電極 109…高強誘電体  
110…上部電極 111…水素吸着解離阻止層 112…層間絶縁膜  
113…接続プラグ

## 【特許請求の範囲】

【請求項 1】少なくとも 2 つの電極と、該 2 つの電極間に配置された高強誘電体薄膜とからなるコンデンサ及び半導体能動素子を有する半導体装置において、上記コンデンサが配置された領域の、上記コンデンサと上記半導体能動素子との間に水素拡散阻止作用を持つ層が配置されたことを特徴とする半導体装置。

【請求項 2】請求項 1 記載の半導体装置において、上記コンデンサが配置された領域の上記コンデンサの上に、水素吸着解離阻止層が配置されたことを特徴とする半導体装置。

【請求項 3】請求項 2 記載の半導体装置において、上記 2 つの電極は、上記高強誘電体薄膜の上下に配置され、上記水素吸着解離阻止層は、上記 2 つの電極の内の上部に配置された電極の一部を構成することを特徴とする半導体装置。

【請求項 4】請求項 2 又は 3 記載の半導体装置において、上記水素拡散阻止作用を持つ層と上記水素吸着解離阻止層は、上記コンデンサが配置された領域の周辺部で少なくともそれらの一部分が互いに接していることを特徴とする半導体装置。

【請求項 5】請求項 1 から 4 のいずれかに記載の半導体装置において、上記水素拡散阻止作用を持つ層の一部は、上記 2 つの電極の内の一つと半導体能動素子とを電気的に接続する接続プラグの一部を構成することを特徴とする半導体装置。

【請求項 6】請求項 5 記載の半導体装置において、上記接続プラグの一部を構成する水素拡散阻止作用を持つ層は、導電性の酸化物からなることを特徴とする半導体装置。

【請求項 7】請求項 6 記載の半導体装置において、上記導電性の酸化物は、ルテニウム、イリジウム若しくは白金又はこれらの合金の酸化物を主成分とする材料からなることを特徴とする半導体装置。

【請求項 8】請求項 1 から 7 のいずれかに記載の半導体装置において、上記水素拡散阻止作用を持つ層の一部は、上記コンデンサと上記半導体能動素子との層間絶縁膜の一部を構成することを特徴とする半導体装置。

【請求項 9】請求項 8 記載の半導体装置において、上記層間絶縁膜の一部を構成する水素拡散阻止作用を持つ層は、酸化物絶縁体であることを特徴とする半導体装置。

【請求項 10】請求項 9 記載の半導体装置において、上記酸化物絶縁体は、アルミニウム又はセリウムの酸化物を主成分とする材料からなることを特徴とする半導体装置。

【請求項 11】請求項 1 から 10 のいずれかに記載の半導体装置において、上記コンデンサが配置された領域と異なる領域に、第 2 の半導体能動素子が配置され、該第 2 の半導体能動素子の上部に水素拡散阻止作用を持つ層が配置されていないことを特徴とする半導体装置。

【請求項 12】請求項 1 から 11 のいずれかに記載の半導体装置において、上記高強誘電体薄膜は、チタン酸バリウムストロンチウムであることを特徴とする半導体装置。

【請求項 13】請求項 1 から 11 のいずれかに記載の半導体装置において、上記高強誘電体薄膜は、チタン酸ジルコニウム酸鉛であることを特徴とする半導体装置。

【請求項 14】請求項 1 から 13 のいずれかに記載の半導体装置において、上記コンデンサと上記半導体能動素子は、ダイナミックランダムアクセスメモリを構成することを特徴とする半導体装置。

【請求項 15】請求項 1 から 11 のいずれか又は請求項 13 記載の半導体装置において、上記コンデンサと上記半導体能動素子は、不揮発機能を有するランダムアクセスメモリを構成することを特徴とする半導体装置。

【請求項 16】半導体基板上に、半導体能動素子を形成する工程、該半導体能動素子上部のコンデンサが配置される領域に水素拡散阻止作用を持つ層を配置する工程、該水素拡散阻止作用を持つ層の上に、少なくとも 2 つの電極と、該 2 つの電極間に配置された高強誘電体薄膜とからなるコンデンサを形成する工程、該コンデンサの上に、水素吸着解離阻止層を配置する工程及び上記半導体能動素子の特性を修復するために、水素アニールを行なう工程を有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、高強誘電体薄膜コンデンサを有する半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】高強誘電体を用いるコンデンサは、従来のシリコン酸化膜やシリコン窒化膜を用いるコンデンサと比較して単位面積当たりの静電容量が大きいために、小面積で大きな静電容量を持つコンデンサを必要とする大規模ダイナミックランダムアクセスメモリ（以下、DRAMという）への適用が検討されている。高強誘電体としては、チタン酸バリウムストロンチウム（ $\text{Ba}, \text{Sr} \text{ Ti O}_3$  : 以下、BSTという）、チタン酸ジルコニウム酸鉛（ $\text{Pb} (\text{Zr}, \text{Ti}) \text{ O}_3$  : 以下、PZTという）のような複合金属酸化物が有望視されている。コンデンサの下部電極はこれらの複合金属酸化物の成膜時に酸化性雰囲気で高温に晒されるため耐酸化性が要求され、最も一般的には白金等の貴金属が用いられている。また、コンデンサの特性の向上のため、上部電極も白金で形成することが一般的である。例えば、米国特許第 5,005,102 号によると、下部電極は、上から白金/窒化チタン/チタンの構造を持ち、上部電極は、アルミニウム/チタン/白金の構造を持っており、高強誘電体と界面を形成する電極材料については、いずれも

白金が用いられている。

【0003】また、これらを用いるメモリを製造する一般的な方法は、まず半導体基板上に能動素子を作成し、その後コンデンサ作成工程が行なわれ、さらにこれらの能動素子やコンデンサが作られた後に、電気的相互接続に関わる複数の配線層が形成される。このため各配線層の間及びこれら配線層とコンデンサとの間の電気的絶縁をとるために、層間絶縁膜を形成する必要がある、この製造は配線層の劣化を防ぐために還元性又は弱い酸化性の雰囲気で行なう。また、周辺回路と配線層の電気的接続を行なうスルーホールは、一般に開口部のサイズに比較して深さが大きい、つまりアスペクト比の大きな形状となるため、タングステン等をCVD（化学気相成長）法により形成しており、このときは還元性の雰囲気で行なう。

【0004】さらに半導体能動素子は、コンデンサ製造工程での熱処理、配線工程におけるプラズマ加工等で特性が劣化するが、配線工程終了後に400℃程度の水素中熱処理を加えることで、最終的にはこれらの劣化を修復することができる。このように半導体装置の製造に関しては、コンデンサ製造終了後にさまざまな還元性雰囲気処理が必須であることが知られている。

【0005】ところが一方で、還元性雰囲気での処理によって、高強誘電体コンデンサは重大なダメージを被ることが知られている。例えば、インテグレイテッドフェロエレクトリクス、第16巻29頁から40頁（Integrated Ferroelectrics, Vol. 16, pp. 29~40）によると、PZTや、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ （以下、SBTという）は、水素雰囲気処理で高強誘電性を失い、また、洩れ電流が大幅に増大することが知られている。この原因については、例えば、ジャパニーズ・ジャーナル・オブ・アプライド・フィジクス、第36巻1132頁から1135頁（Jpn. J. Appl. Phys., Vol. 36, pp. 1132~1135）によれば、電極の白金の水素解離触媒作用によって発生した活性な水素が、酸化物を還元してコンデンサ特性を劣化させるというモデルが知られている。

【0006】

【発明が解決しようとする課題】上記従来のコンデンサ特性の劣化は、主として高濃度の水素雰囲気に晒される工程、すなわちコンデンサ製造工程直後の層間絶縁膜形成工程で生じている。この劣化を回避するために、上部電極材料に水素拡散阻止能を持つ材料を用いることが有効であった。ところが一方で、このような構造によりコンデンサ層以下を水素雰囲気から隔離したことにより、コンデンサ層の下部に位置する能動素子の特性が水素処理によっても十分修復されないという問題が発生した。

【0007】本発明の第1の目的は、コンデンサが大容量で、洩れ電流が小さく、かつ、半導体能動素子の電気

的性能の劣化を防止した半導体装置を提供することにある。本発明の第2の目的は、コンデンサが大容量で、洩れ電流が小さく、かつ、半導体能動素子の電気的性能の劣化を防止した半導体装置の製造方法を提供することにある。

【0008】

【課題を解決するための手段】上記第1の目的を達成するために、本発明の半導体装置は、少なくとも2つの電極と、その間に置かれた高強誘電体薄膜とからなるコンデンサと、半導体能動素子とを有し、コンデンサが配置された領域の、コンデンサと半導体能動素子との間に水素拡散阻止作用を持つ層を配置するようにしたものである。

【0009】さらに本発明の半導体装置は、コンデンサが配置された領域のコンデンサの上に、水素吸着解離阻止層を配置することが好ましい。上記のコンデンサは、2つの電極が上下に置かれていても、左右に置かれていてもよく、2つの電極が上下に置かれているとき、水素吸着解離阻止層は、2つの電極の内の上部に配置された電極の一部を構成するようにしてもよい。

【0010】前記の水素拡散阻止作用を持つ層は、その一部が上記2つの電極の内の一つと半導体能動素子とを電気的に接続する接続プラグの一部を構成することが好ましい。このとき水素拡散阻止作用を持つ層は、導電性の酸化物からなることが好ましい。このような材料には、例えば、ルテニウム、イリジウム若しくは白金又はこれらの合金の酸化物等を主成分とする材料が挙げられる。

【0011】さらに、水素拡散阻止作用を持つ層は、その一部がコンデンサと半導体能動素子との層間絶縁膜の一部を構成することが好ましい。このとき水素拡散阻止作用を持つ層は、酸化物絶縁体であることが好ましい。このような材料には、例えば、アルミニウム又はセリウムの酸化物を主成分とする材料が挙げられる。アルミニウム又はセリウムの酸化物は、通常絶縁層として用いられる $\text{SiO}_2$ に含有させても用いることもできる。アルミニウム又はセリウムの酸化物は5重量%以上あればある程度の効果があり、10重量%以上であればより効果が認められる。これらの値の上限は、アルミニウム酸化物では加工性の点から、セリウムの酸化物では絶縁性の点から制限される。

【0012】さらに本発明の半導体装置は、前記のコンデンサが配置された領域と異なる領域に、第2の半導体能動素子を配置し、この第2の半導体能動素子の上部には上記と同じ水素拡散阻止作用を持つ層を配置しないことが好ましい。

【0013】また、上記第2の目的を達成するために、本発明の半導体装置の製造方法は、半導体基板上に、半導体能動素子を形成し、この半導体能動素子上部のコンデンサが配置される領域に水素拡散阻止作用を持つ層を

配置し、水素拡散阻止作用を持つ層の上に、少なくとも2つの電極と、その間に配置された高強誘電体薄膜とからなるコンデンサを形成し、コンデンサの上に、水素吸着解離阻止層を配置し、さらに上記の半導体能動素子の特性を修復するために、水素アニールを行なうようにしたものである。

#### 【0014】

【発明の実施の形態】本発明の好適な実施例を図1を基に説明する。図1は、本発明をDRAMに適用した例である。シリコン基板(101)上に、半導体能動素子としてメモリセルトランジスタ(102)、周辺トランジスタ(103)が形成されている。ここでメモリセルトランジスタ(102)は、下部電極(108)、高強誘電体(109)、上部電極(110)からなる情報記憶用コンデンサの下に形成された半導体能動素子であり、周辺トランジスタ(103)は、コンデンサ領域とは別に形成された半導体能動素子である。

【0015】コンデンサ層とトランジスタ層との間には、両者を電氣的に絶縁する層間絶縁層(104)があり、コンデンサ層とトランジスタ層は、プラグで電氣的に接続されている。このプラグは、第1のプラグ(105)と第2のプラグ(106)の2層からなり、第2のプラグ(106)は水素拡散の程度が第1のプラグ(105)よりも小さい導電性酸化物から形成されている。また、層間絶縁層(104)とコンデンサ層との間には、層間絶縁層(104)よりも水素拡散の程度が小さい絶縁物からなる水素拡散阻止層(107)が配置されている。コンデンサ層の上部電極(110)の最上部には、水素吸着解離阻止層(111)が設けられている。さらに上部の配線層(114)との間の層間絶縁層(112)、接続プラグ(113)を持つ形状となっている。

【0016】従来のDRAMの構造を図2に示す。このDRAMとの差は、本発明のDRAMが水素吸着解離阻止層(111)、導電性酸化物からなる第2のプラグ(106)と絶縁物からなる水素拡散阻止層(107)により、コンデンサが水素による還元から守られているところにある。

【0017】次に本発明の効果について述べる。図2示した構造のうち、コンデンサは水素によるダメージに非常に敏感である。例えば、350℃で10分程度の水素熱処理を加えると、誘電率、耐圧ともに激減する。これに対して上部電極の上に、図1に示したものと同一水素吸着解離阻止層を設けると、これらの劣化は抑えられた(図3)。しかしながら一方で水素吸着解離阻止層を設けることにより、図4に示したように、トランジスタのゲート部分の界面準位は、水素熱処理によっても十分な回復が見られないという結果になった。これは、トランジスタのゲート部分に活性な水素が到達しづらくなったことによるものである。特に周辺トランジスタではトラ

ンジスタの利得を下げてしまうために、当初設計のON電流が確保できず、記憶装置としてのアクセス時間が長くなってしまいう課題が発生した。

【0018】これに対して本発明のDRAMのコンデンサでは、上部電極の最上部の水素吸着解離阻止層(111)は、比較的トランジスタの利得に対する要求が小さいメモリセルトランジスタのみを覆うように設けられている。さらにコンデンサの下部に配置した第2のプラグ(106)と水素拡散阻止層(107)の作用により、横方向から拡散してきた水素によるコンデンサの劣化が抑えられている。この結果、図5に示したように、十分な水素熱処理を加えられるのでメモリセルトランジスタ、周辺トランジスタの両方において、界面準位密度を下げる事ができた。図5において、曲線；水素吸着解離阻止層ありは、メモリセルトランジスタ及び周辺トランジスタの両方の上に水素吸着解離阻止層を設けた場合を示し、曲線；メモリセルトランジスタ及び曲線；周辺トランジスタは、メモリセルトランジスタの上のみ水素吸着解離阻止層を配置した場合のそれぞれのトランジスタの実効界面準位密度を示す。

【0019】また、熱処理時間を30分とした時のコンデンサ耐圧の変化を、コンデンサ下部に設けた第2のプラグ(106)及び水素拡散阻止層(107)の有無で比較したものが図6である。従来技術は、横方向からの拡散でコンデンサの耐圧劣化が発生しており、トランジスタの特性回復とコンデンサの特性保持がトレードオフになっていることが分かる。一方本発明によれば、耐圧劣化がメモリ適用可能な範囲内に抑えられ、このトレードオフを回避できることが分かった。

【0020】次に、より具体的に半導体装置の製造方法を示す。まず、図7に示したように、シリコン基板(101)上に公知の方法でメモリセルトランジスタ(102)及び周辺トランジスタ(103)を形成する。次に、トランジスタ間配線を含む層間絶縁層(104)を形成した後に、コンデンサ下部の水素拡散阻止層(107)を形成した。この材料としては、層間絶縁層として通常用いられるSiO<sub>2</sub>を主成分とする絶縁膜と比較して水素の拡散が抑えられる材料、望ましくは、アルミニウム酸化物を用いることができる。他の材料としては、セリウム酸化物が上げられる。また、これらを含むSiO<sub>2</sub>酸化物としてもよい。この水素拡散阻止層は、膜形成後に、周辺トランジスタ部分を除去しておく(図8)。

【0021】次にコンデンサとメモリセルトランジスタの電気接続を行なうプラグ用のコンタクト穴をドライエッチングにより形成する。なお、周辺トランジスタ部分にも必要に応じてこのコンタクト穴を形成するが、これは図1における接続プラグ(113)のコンタクト穴の加工の困難さに応じて取捨選択されるものであり、本発明の本質とは関連がない。次にこれらコンタクト穴に対

して、プラグの埋め込みプロセスを行なう。これはまずステップカバレッジに優れたCVD法により、望ましくは窒化チタン又はポリシリコンの層を形成した後に、エッチバックによってまず第1のプラグ(105)を形成する。次に、導電性の水素拡散阻止層である第2のプラグ(106)を全面に形成する。ここではイリジウム酸化物とした。他の望ましい例としては、ルテニウム酸化物、オスミウム酸化物、白金酸化物又はこれらの混合物が挙げられる(図9)。

【0022】全面に形成された水素拡散阻止層は、エッチバック又は化学機械研磨法によりプラグ部分のみを残して除去した。次に、下部電極(108)を形成した。ここでの下部電極材料は白金としたが、他にルテニウム、イリジウム、オスミウム、レニウム及びこれら材料の酸化物から選ばれた材料を主成分とする導電性の材料が好適である。これら材料をスパッタ法で150nm堆積後、ドライエッチング法により、各メモリ要素毎に分割し、下部電極構造を得た(図10)。

【0023】次に、高強誘電体(109)としてBSTをCVD法により厚さ30nm堆積した。BSTは、バリウムジビバロイルメタネート( $\text{Ba}(\text{DPM})_2$ )、ストロンチウムジビバロイルメタネート( $\text{Sr}(\text{DPM})_3$ )、イソプロポキシチタン( $\text{Ti}(\text{i-OC}_3\text{H}_7)_4$ )をバブリングにより反応室内に導入し、酸化性雰囲気中で熱分解により形成した。なお、CVD原料としては、上記の他に公知の錯体やアルコキシドも用いられる。また、原料導入には、液体原料の定量と気化器を用いる方式も用いられる。分解の方式としては、熱分解の他にプラズマアシストも用いられる。また、BST膜形成後必要に応じて、酸素中又は窒素中での熱処理を行なった。

【0024】次に、上部電極(110)として、CVD法により、Ruを厚さ100nm形成した。上部電極の材料としては、下部電極に用いた材料、すなわち、白金、イリジウム、オスミウム、レニウム及びこれら材料の酸化物から選ばれた材料を主成分とする導電性の材料が好適である。ここでは、ルテニウムを原料とする酸素雰囲気中での熱分解CVDにより、上部電極となるルテニウム薄膜を形成した。上部電極形成後、必要に応じて酸素中又は窒素中での熱処理を行なった。

【0025】この上部電極/BST積層膜を、まずメモリセル部分を残すようにドライエッチング法により加工し、次に、水素吸着解離阻止層(111)をCVD法により形成した。この材料は、水素吸着解離性が小さい材料としてアルミニウムを用いた。水素吸着解離阻止層(111)は、上部電極(110)、下部電極(108)よりも水素吸着解離性の小さい材料であればよい。この例としては、金、銀、アルミニウム、シリコン、銀、亜鉛、カドミウム、インジウム、ゲルマニウム、錫、鉛、ビスマスがあり、特に、アルミニウム、シリコ

ン、鉛が好適であった。この膜はドライエッチング法により、メモリセルトランジスタ部分を残して除去し、図11に示す構造とした。

【0026】次に、CVD法によって層間絶縁膜(112)を形成した。水素吸着解離阻止層(111)、水素拡散阻止層(107)、第2のプラグ(106)の作用により、ここでのCVDは、公知のプラズマCVD法や熱CVD法が使えるのは先に説明したとおりである。水素吸着解離阻止層(111)を持たない場合には、この時点でコンデンサの容量低下、耐圧劣化、電極剥離が発生し、メモリを作製することはできなかった。この層間絶縁膜(112)に対して、配線層(114)及びこれとトランジスタの電氣的接続をする接続プラグ(113)を形成して、図1に示した構造とした。特に本発明の効果として、接続プラグ(113)をシラン系ガスと六弗化タンゲステンによる選択CVD法で形成できることが挙げられる。図1の状態の水素アニールを行ない、メモリセルトランジスタ(102)及び周辺トランジスタ(103)の特性の修復を行なった。条件は、3%水素雰囲気中400℃30分とした。ここでも従来の構造では、図3～5に挙げたような劣化が起り、メモリ動作ができないことは先に述べた通りである。

【0027】なお、高強誘電体材料の例としてBSTを挙げたが、チタン酸ストロンチウム( $\text{SrTiO}_3$ )でもほぼ同様の効果が得られた。また、これ以外にもバリウム、鉛、ストロンチウム、ビスマスから選ばれた元素を主成分とした酸化物高強誘電体材料が有効であった。特にPZT、チタン酸鉛( $\text{PbTiO}_3$ )、チタン酸ジルコニウム酸バリウム鉛( $(\text{Ba}, \text{Pb})(\text{Zr}, \text{Ti})\text{O}_3$ )、ニオブ酸バリウム鉛( $(\text{Ba}, \text{Pb})\text{Nb}_2\text{O}_6$ )、タンタル酸ストロンチウムビスマス( $\text{SrBi}_2\text{Ta}_2\text{O}_9$ )、チタン酸ビスマス( $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ )を用いたときは、不揮発機能を付与したメモリを構成することができた。

【0028】BSTを用いた場合の最終的なコンデンサ容量は $6.5 \mu\text{F}/\text{cm}^2$ (電源電圧2.2V動作時)であり、平均絶縁耐圧は3Vであった。

【0029】

【発明の効果】本発明によれば、大容量で洩れ電流が小さいコンデンサと、電氣的性能の優れた半導体能動素子を有する半導体装置を得ることができた。また、大容量で洩れ電流が小さいコンデンサと、電氣的性能の優れた半導体能動素子を有する半導体装置を容易に製造することができた。

【図面の簡単な説明】

【図1】本発明の一実施例のDRAMの断面図。

【図2】従来のDRAMの断面図。

【図3】水素吸着解離阻止層の有無によるコンデンサの容量の比較を示す図。

【図4】水素吸着解離阻止層の有無によるトランジスタ

の界面準位密度の比較を示す図。

【図5】本発明及び従来のトランジスタの界面準位密度を示す図。

【図6】本発明及び従来のトランジスタのコンデンサの絶縁耐圧特性を示す図。

【図7】本発明の一実施例のDRAMの製造工程を示す図。

【図8】本発明の一実施例のDRAMの製造工程を示す図。

【図9】本発明の一実施例のDRAMの製造工程を示す図。

【図10】本発明の一実施例のDRAMの製造工程を示す図。

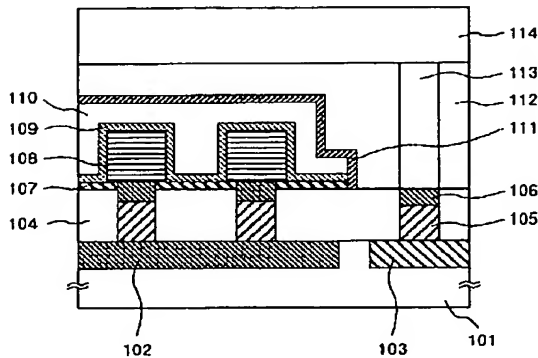
【図11】本発明の一実施例のDRAMの製造工程を示す図。

# 【符号の説明】

- 101…シリコン基板
- 102…メモリセルトランジスタ
- 103…周辺トランジスタ
- 104…層間絶縁層
- 105…第1のプラグ
- 106…第2のプラグ
- 107…水素拡散阻止層
- 108…下部電極
- 109…高強誘電体
- 110…上部電極
- 111…水素吸着解離阻止層
- 112…層間絶縁膜
- 113…接続プラグ
- 114…配線層

【図1】

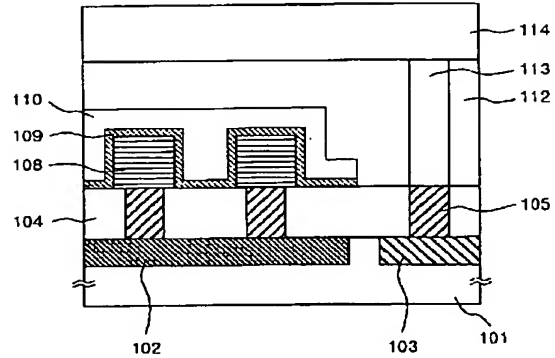
図 1



- 102…メモリセルトランジスタ 103…周辺トランジスタ
- 104…層間絶縁層 105…第1のプラグ 106…第2のプラグ
- 107…水素拡散阻止層 108…下部電極 109…高強誘電体
- 110…上部電極 111…水素吸着解離阻止層 112…層間絶縁膜
- 113…接続プラグ

【図2】

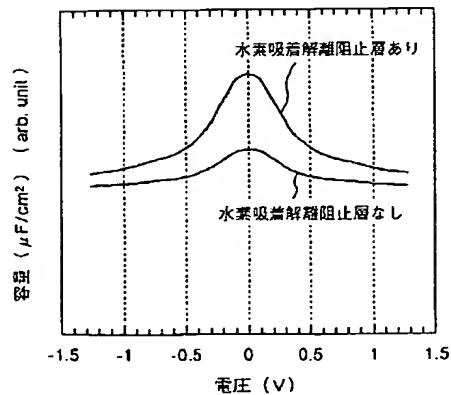
図 2



- 102…メモリセルトランジスタ 103…周辺トランジスタ
- 104…層間絶縁層 108…下部電極 109…高強誘電体
- 110…上部電極

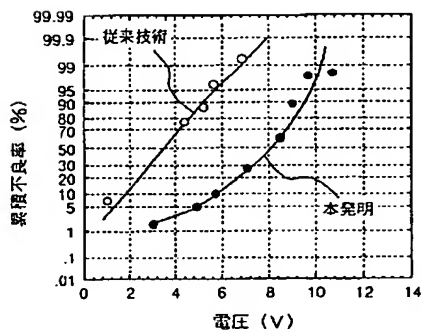
【図3】

図 3



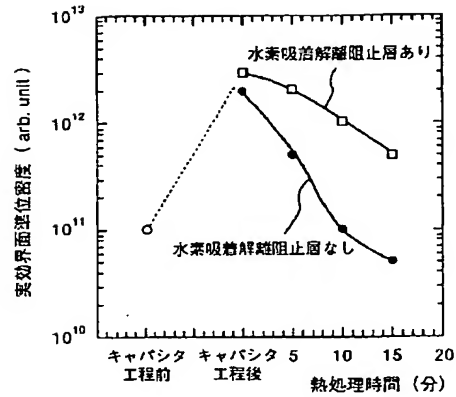
【図6】

図 6



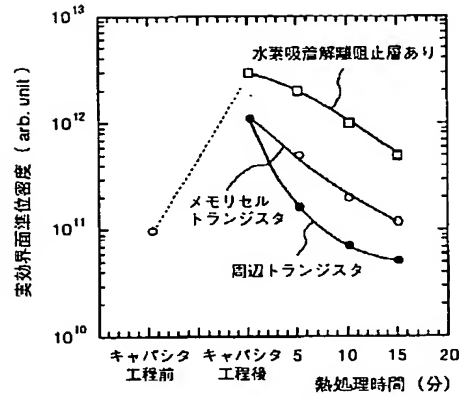
【図4】

図 4



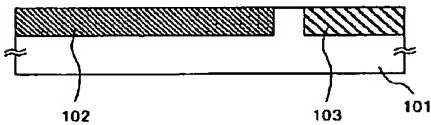
【図5】

図 5



【図7】

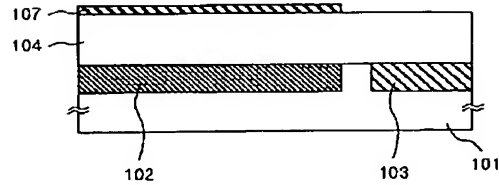
図 7



102…メモリセルトランジスタ 103…周辺トランジスタ

【図8】

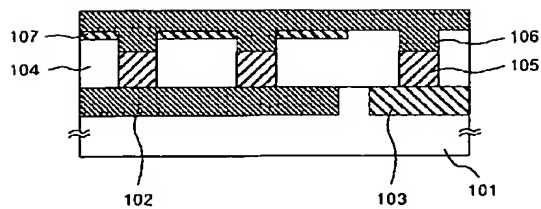
図 8



104…層間絶縁層 107…水素拡散阻止層

【図9】

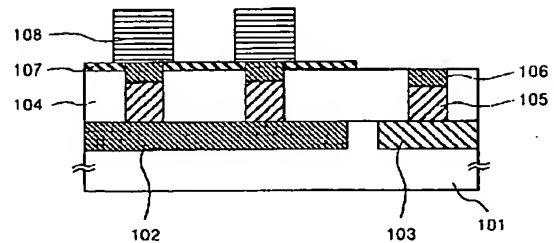
図 9



105…第1のプラグ 106…第2のプラグ

【図10】

図 10

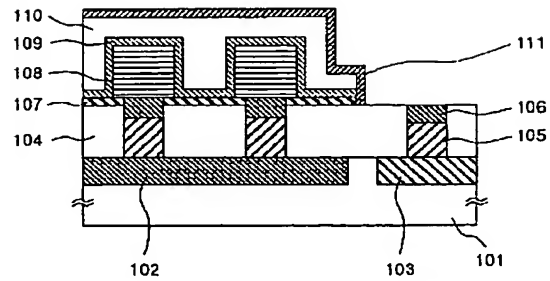


108…下部電極



【図 1 1】

図 1 1



109…高強誘電体 110…上部電極 111…水素吸着解離阻止層

フロントページの続き

(51) Int. Cl. 6

H01L 27/10  
21/8247  
29/788  
29/792

識別記号

451

F I

H01L 29/78

371